

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256663

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01S 3/18

G02B 6/12

G02B 6/42

(21)Application number : 09-057344

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.03.1997

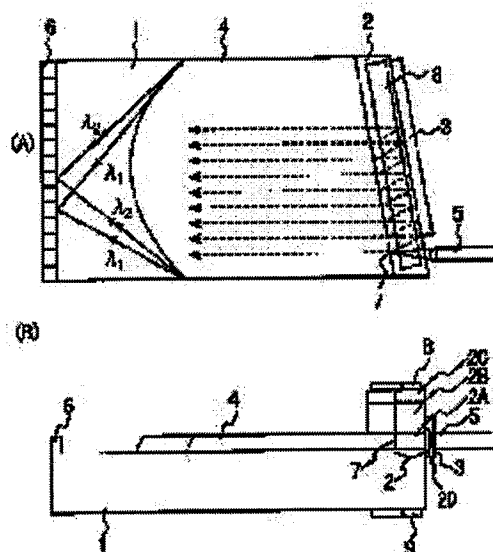
(72)Inventor : OTSUBO KOJI  
KOTAKI YUJI  
ISHIKAWA HIROSHI

## (54) LIGHT AMPLIFIER ACCUMULATED LIGHT BRANCHING FILTER, AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a virtual phased array light source wherein, while possible to be mounted on a system, the light reflected in multiplex manner in a VIPA (virtual phased array) is amplified to provide an intensive output light, relating to a light amplifier accumulated light branching filter and its manufacturing method.

**SOLUTION:** A VIPA is formed where a semiconductor gain region 2 and a semiconductor active layer 2A constituted with a semiconductor laminated body on a conductive semiconductor substrate 1, an interface 7 generated between a dielectrics plate waveguide 4 extending on the conductive semiconductor substrate 1 and it while contacting to it, a reflection mirror 3 formed on the opposite side of the interface 7 in the semiconductor gain region 2, an opposite conductive side electrode 8 formed on the surface of the semiconductor gain region 2, a conductive side electrode 9 formed on the rear side of the conductive semiconductor substrate 1 corresponding to the semiconductor gain region 2 are comprised.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-256663

(43)公開日 平成10年(1998) 9月25日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

G 0 2 B 6/12

G 0 2 B 6/42

6/42

6/12

F

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願平9-57344

(22)出願日 平成9年(1997) 3月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 大坪 孝二

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 小滝 裕二

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 石川 浩

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外2名)

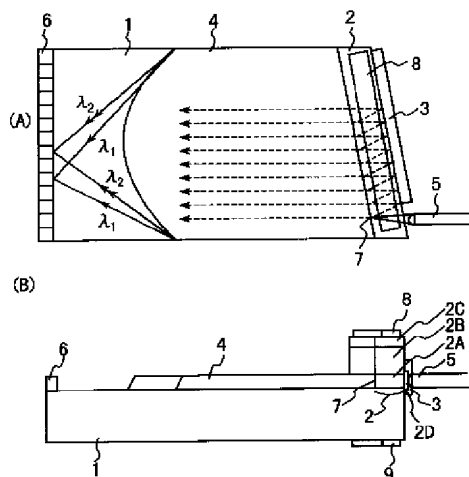
(54)【発明の名称】 光増幅器集積光分波器及びその製造方法

(57)【要約】

【課題】 光増幅器集積光分波器及びその製造方法に関し、システムへの実装が可能であり、また、V I P A中を多重反射する光が増幅されて、大きな出力光が得られる仮想的フェーズド・アレイ光源が得られるようにする。

【解決手段】 一導電型半導体基板1上に半導体積層体からなる半導体利得領域2及び半導体活性層2Aとそれに接して一導電型半導体基板1上を延在する誘電体平板導波路4との間に生成された界面7及び半導体利得領域2に於ける界面7の反対側に形成された反射鏡3及び半導体利得領域2の表面に形成された反対導電側電極8及び半導体利得領域2に対応する一導電型半導体基板1の裏面に形成された一導電側電極9を含むV I P Aが形成されている。

光増幅器集積光分波器の要部説明図



- 1 : 一導電型半導体基板
- 2 : 半導体利得領域
- 3 : 反射鏡
- 4 : 誘電体平板導波路
- 5 : 先球光ファイバ
- 6 : 受光素子アレイ
- 7 : 界面
- 8 : 反対導電側電極
- 9 : 一導電側電極
- 2A : 半導体活性層
- 2B : 反対導電型半導体クラッド層
- 2C : 反対導電型半導体コンタクト層
- 2D : 無反射コーティング膜

## 【特許請求の範囲】

【請求項1】一導電型半導体基板上に半導体積層体からなる半導体利得領域及び半導体利得領域の一部とそれに接して一導電型半導体基板上を延在する誘電体平板導波路との間に生成された界面及び半導体利得領域に於ける界面の反対側に形成された反射鏡及び半導体利得領域の表面に形成された反対導電側電極及び半導体利得領域に対応する一導電型半導体基板の裏面に形成された一導電側電極を含むVIPAが形成されてなることを特徴とする光増幅器集積光分波器。

【請求項2】VIPAを構成する半導体積層体からなる半導体利得領域が一導電型半導体基板の一部の上に順に積層された半導体活性層及び反対導電型半導体クラッド層及び反対導電型半導体コンタクト層からなることを特徴とする請求項1記載の光増幅器集積光分波器。

【請求項3】半導体積層体からなる半導体利得領域に含まれる半導体活性層に於ける組成波長が入射光の波長以上の長波長側に在ることを特徴とする請求項1或いは2記載の光増幅器集積光分波器。

【請求項4】半導体積層体からなる半導体利得領域に含まれる半導体活性層が量子井戸で構成され且つ組成波長が入射光の波長以上の長波長側に在ることを特徴とする請求項1或いは2記載の光増幅器集積光分波器。

【請求項5】一導電型半導体基板上に半導体活性層及び反対導電型半導体クラッド層及び反対導電型半導体コンタクト層を積層形成する工程と、

次いで、VIPA形成予定部分を覆うマスクを形成してから反対導電型半導体コンタクト層の表面から半導体活性層までをエッチングする工程と、

次いで、マスクを除去してから誘電体層を形成する工程と、

次いで、誘電体層をエッチングして一端が半導体活性層に接して界面を生成すると共に他端が曲率をもった出射端をなす誘電体平板導波路を形成する工程と、

次いで、反対導電型半導体コンタクト層の頂面を覆っている誘電体層を除去してから反対導電側電極を形成し、次いで、一導電型半導体基板の裏面を研磨してからVIPAに対応する一導電側電極を形成し、

次いで、少なくとも半導体活性層に於ける界面と反対側の面に界面と平行な反射鏡を形成する工程と、

次いで、半導体活性層に於ける光の導入部分に無反射処理を施す工程と、

次いで、一導電型半導体基板上に於いて誘電体平板導波路の出射端に対向する適所に受光素子アレイを実装する工程とが含まれてなることを特徴とする光増幅器集積光分波器の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、VIPA (virtually imaged phased arra

y) と呼ばれる光分波器 (要すれば、白崎の発表に係わる「Optics Letters Vol. 21 No. 5 pp366~368」、を参照) に関する技術を取り込んだ導波路型の光増幅器集積光分波器の改良に関する。

【0002】VIPAは、簡素で優れた光分波器が実現されているが、実際のシステム中に取り入れるには、種々と問題があるので、それを解消しなければならず、本発明は、その一手段を提供する。

【0003】図6はVIPAの動作原理を説明する為の光分波器を表す要部説明図であり、(A)は要部斜面、(B)は要部切断側面をそれぞれ示している。

【0004】図に於いて、31はシリンドリカル・レンズ、32は反射膜付きガラス板、32Aは100〔%〕の光反射膜、32Bは~95〔%〕の光反射膜、 $L_1$ は入射光、 $L_2$ はビーム・ウエスト (最も収斂した光)、 $L_3$ は出射光、 $L_4$ は仮想光源、 $\theta$ は入射光の入射角をそれぞれ示している。尚、図中、AR (R=0) なる記号は、反射がないこと、即ち、その部分のガラス板32は素通しになっていることを意味している。

【0005】さて、入射光 $L_1$ は、シリンドリカル・レンズ31に依ってガラス板32に絞込まれ、ビーム・ウエスト $L_2$ が光反射膜32Bにくるようにする。光反射膜32Bでは入射光の~95〔%〕を反射し、残りはガラス板32を透過するのであるが、その反射光は光反射膜32Aで反射され、光反射膜32Bに依って、再び反射光と透過光に分けられる。

【0006】前記したような多重反射が行なわれる結果、全体の系はフェーズド・アレイ光源と等価になり、この仮想的フェーズド・アレイ光源の光は、干渉しあって、コリメート光として出射され、その出射方向は、回折格子のブラッグ角に相当する方向である。

【0007】このように、VIPAに依れば、極めて単純な構造で光分波を行なうことができる。

## 【0008】

【発明が解決しようとする課題】図6について説明したところから判るように、前記VIPAに於いては、光が空間伝播するようになっているので、システム中に実装することは現実には困難であり、また、出力光は、高反射膜を多重反射した光であるから、入射光に対する損失が大きい旨の問題がある。

【0009】本発明は、システムへの実装が可能であり、また、VIPA中を多重反射する光が増幅されて、大きな出力光が得られる仮想的フェーズド・アレイ光源が得られるようにする。

## 【0010】

【課題を解決するための手段】図1は本発明の原理を説明する為の光増幅器集積光分波器を表す要部説明図であり、(A)は要部平面、(B)は要部切断側面をそれぞれ示している。

【0011】図に於いて、1は一導電型半導体基板、2は半導体利得領域、3は反射鏡、4は誘電体平板導波路、5は先球光ファイバ、6は受光素子アレイ、7は半導体利得領域2と誘電体平板導波路4との界面、8は反対導電側電極、9は一導電側電極をそれぞれ示している。

【0012】半導体利得領域2は、半導体活性層2A、反対導電型半導体クラッド層2B、反対導電型半導体コンタクト層2Cで構成され、その半導体利得領域2の表面には反対導電側電極8が形成され、半導体利得領域2に対応する一導電型半導体基板1の裏面には一導電側電極9が設けられている。尚、2Dは無反射コーティング膜である。

【0013】ここで、VIPAは、基板1の一部、利得領域2、反射膜3、界面7で構成され、また、反射膜3の光反射率は約100〔%〕である。

【0014】次に、この光増幅器集積光分波器に於ける動作について説明する。

【0015】反対導電側電極8と一導電側電極9との間に電圧を印加し、半導体利得領域2に電流を注入した状態を設定し、次いで、先球光ファイバ5から光を入射させるのであるが、その際、ビーム・ウエストが界面7に来るようにする。

【0016】入射された光は、界面7で反射光と透過光とに分けられ、反射光は界面7に到達するまでに増幅される。

【0017】反射鏡3で反射されて増幅された光は、干渉しあって平行光となって誘電体平板導波路4を通過し、出射端の曲面で絞られ、受光素子アレイ6のうちの一つに入射し、その入射位置は、VIPAの原理から、波長によって異なる。

【0018】前記したところから、本発明に依る光増幅器集積光分波器及びその製造方法に於いては、

【0019】(1)一導電型半導体基板(例えば一導電型半導体基板1)上に半導体積層体からなる半導体利得領域(例えば半導体利得領域2)及び半導体利得領域の一部(例えば半導体活性層2A)とそれに接して一導電型半導体基板上を延在する誘電体平板導波路(例えば誘電体平板導波路4)との間に生成された界面(例えば半導体利得領域2と誘電体平板導波路4との界面7)及び半導体利得領域に於ける界面の反対側に形成された反射鏡(例えば反射鏡3)及び半導体利得領域の表面に形成された反対導電側電極(例えば反対導電側電極8)及び半導体利得領域に対応する一導電型半導体基板の裏面に形成された一導電側電極(例えば一導電側電極9)を含むVIPAが形成されてなることを特徴とするか、又は、

【0020】(2)前記(1)に於いて、VIPAを構成する半導体積層体からなる半導体利得領域が一導電型半導体基板の一部の上に順に積層された半導体活性層

(例えば半導体活性層2A)及び反対導電型半導体クラッド層(例えば反対導電型半導体クラッド層2B)及び反対導電型半導体コンタクト層(例えば反対導電型半導体コンタクト層2C)からなることを特徴とするか、又は、

【0021】(3)前記(1)或いは(2)に於いて、半導体積層体からなる半導体利得領域に含まれる半導体活性層に於ける組成波長が入射光の波長以上の長波長側に在ることを特徴とするか、又は、

【0022】(4)前記(1)或いは(2)に於いて、半導体積層体からなる半導体利得領域に含まれる半導体活性層が量子井戸で構成され且つ組成波長が入射光の波長以上の長波長側に在ることを特徴とするか、又は、

【0023】(5)一導電型半導体基板(例えば一導電型半導体基板1)上に半導体活性層(例えば半導体活性層2A)及び反対導電型半導体クラッド層(例えば反対導電型半導体クラッド層2B)及び反対導電型半導体コンタクト層(例えば反対導電型半導体コンタクト層2C)を積層形成する工程と、次いで、VIPA形成予定部分上を覆うマスク(例えばSiO<sub>2</sub>膜16)を形成してから反対導電型半導体コンタクト層の表面から半導体活性層までをエッチングする工程と、次いで、マスクを除去してから誘電体層(例えばSiO<sub>2</sub>層)を形成する工程と、次いで、誘電体層をエッチングして一端が半導体活性層に接して界面(例えば界面7)を生成すると共に他端が曲率をもった出射端をなす誘電体平板導波路(例えば誘電体平板導波路4)を形成する工程と、次いで、反対導電型半導体コンタクト層の頂面を覆っている誘電体層を除去してから反対導電側電極(例えば反対導電側電極8)を形成し、次いで、一導電型半導体基板の裏面を研磨してからVIPAに対応する一導電側電極(例えば一導電側電極9)を形成し、次いで、少なくとも半導体活性層に於ける界面と反対側の面に界面と平行な反射鏡(例えば反射鏡3)を形成する工程と、次いで、半導体活性層に於ける光の導入部分に無反射処理(例えば無反射コート2D)を施す工程と、次いで、一導電型半導体基板上に於いて誘電体平板導波路の出射端に対向する適所に受光素子アレイ(例えば受光素子アレイ6)を実装する工程とが含まれてなることを特徴とする。

【0024】前記手段を採ることに依り、半導体利得領域をもつVIPAを誘電体平板導波路にモノリシックに集積化することができ、受光素子も同じ系にマウントすることが可能な構造になっているから、実際のシステムに実装するのに何らの問題もなく、また、VIPA中を多重反射する光は半導体利得領域で増幅されるので、充分な出力光が得られる仮想的フェーズド・アレイ光源が実現され、更にまた、光ファイバからの入力光との結合トランスも大きくなる。

【0025】

【発明の実施の形態】図2乃至図5は本発明の実施の形態を説明する為の工程要所に於ける光増幅器集積光分波器を表す要部説明図であり、図中、図2(A)、図3、図4(A)、図5(B)が要部切断側面、図2(B)、図4(B)、図5(A)が要部平面を示し、以下、これ等の図を随時参照しつつ説明する。尚、ここでは、 $1.3[\mu\text{m}]$ 帯のInP/InGaAsP系光増幅器をベースにして、光分波器を構成している。

【0026】図2(A)参照

2-(1)

MOVPE (metalorganic vapor phase epitaxy) 法を適用することに依って、基板11上にバッファ層12、活性層13、クラッド層14、コンタクト層15を順に形成する。

【0027】ここで、各半導体部分に関する主要なデータを例示すると次の通りである。

基板11について

材料：n-InP

面指数：(100)

不純物：Se

不純物濃度： $5 \times 10^{17} [\text{cm}^{-3}]$

【0028】 バッファ層12について

材料：n-InP

不純物：Se

不純物濃度： $5 \times 10^{17} [\text{cm}^{-3}]$

厚さ： $1 [\mu\text{m}]$

【0029】 活性層13について

材料：i-InGaAsP

組成波長： $1.3 [\mu\text{m}]$

厚さ： $0.3 [\mu\text{m}]$

【0030】 クラッド層14について

材料：p-InP

不純物：Cd

不純物濃度： $5 \times 10^{17} [\text{cm}^{-3}]$

厚さ： $1.5 [\mu\text{m}]$

【0031】 コンタクト層15について

材料： $p^+$ -InGaAsP

不純物：Zn

不純物濃度： $1 \times 10^{19} [\text{cm}^{-3}]$

厚さ： $0.5 [\mu\text{m}]$

【0032】図2(B)参照

2-(2)

CVD (chemical vapor deposition) 法を適用することに依り、厚さが例えば $300 [\text{nm}]$ の $\text{SiO}_2$ 膜16を形成する。

【0033】2-(3)

リソグラフィ技術に於けるレジスト・プロセス、及び、フッ酸をエッチャントとするウエット・エッチング法を適用することに依り、VIPA形成予定部分を覆う $\text{SiO}_2$ 膜16を残して他を除去する。

【0034】図3(A)参照

3-(1)

エタン系ガスをエッチング・ガスとするRIE (reactive ion etching) 法を適用することに依り、 $\text{SiO}_2$ 膜16をマスクとし、コンタクト層15の表面からバッファ層12の表面に達するエッチングを行なう。尚、このエッチングの深さは約 $2.3 [\mu\text{m}]$ になる。

【0035】図3(B)参照

3-(2)

フッ酸に浸漬し、エッチング・マスクとして用いた $\text{SiO}_2$ 膜16を除去してから、CVD法を適用することに依り、厚さが例えば $0.5 [\mu\text{m}]$ である $\text{SiO}_2$ からなる誘電体膜17を形成する。

【0036】図4(A)及び(B)参照

4-(1)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、誘電体膜17の光出射端の曲率をもつレジスト膜を形成する。

【0037】4-(2)

エッチャントをフッ酸系エッチング液とするウエット・エッチング法を適用することに依って、工程4-(1)で形成したレジスト膜をマスクに誘電体膜17のエッチングを行なう。

【0038】4-(3)

レジスト剥離液中に浸漬し、エッチング・マスクとして用いたレジスト膜を剥離すると曲面からなる光出射端をもった誘電体膜17が現れる。

【0039】誘電体膜17に於ける曲面をもった光出射端は、サイド・エッチングに依って、テーパ状に形成されるので無反射処理も同時に達成されることになる。

【0040】4-(4)

リソグラフィ技術に於けるレジスト・プロセス、及び、フッ酸をエッチャントとするウエット・エッチング法を適用することに依って、VIPA構成部分として残してあるコンタクト層15を覆っている誘電体膜17の部分を除去する。

【0041】4-(5)

リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、前記表出されたコンタクト層15のp側電極形成予定部分に開口をもつレジスト膜を形成する。

【0042】4-(6)

真空蒸着法及びリフト・オフ法を適用することに依り、厚さが例えば $100 [\text{nm}]$ ／ $300 [\text{nm}]$ であるTi/Pt膜を形成してから、該Ti/Pt膜に厚さが例えば $3 [\mu\text{m}]$ のAu鍍金を施してp側電極18を形成する。

【0043】4-(7)

CMP (chemical mechanical polishing) 法を適用することに依り、基板11

の裏面を鏡面研磨する。

【0044】4-(8)

リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依って、VIP Aを構成する半導体層に対応する基板11の裏面の部分に厚さが例えば30[nm]/150[nm]であるAuGe/Au膜を形成してから、該AuGe/Au膜に厚さが例えば3[μm]のAu鍍金を施してn側電極19を形成する。

【0045】図5(A)及び(B)参照

5-(1)

図4(B)を見ると明らかであるが、バッファ層12、従って基板11もVIP Aを構成する半導体利得領域から三角形に突き出ているので、これをダイシング・ソーで切り落とし、CMP法で研磨することに依り、図5(A)に見られるように、VIP Aを構成する半導体利得領域の面と同一の面となし、その後、CVD法を適用することに依って、Si/SiO<sub>2</sub>の多層膜からなる高反射膜20を形成する。

【0046】5-(2)

高反射膜20の脇には、先球光ファイバからの光が入射される光導入部分が在るので、その部分には、無反射処理を施す。

【0047】5-(3)

この後、受光素子アレイ21を実装して完成させる。

【0048】図1乃至図5について説明した光増幅器集積光分波器を動作させるには、次のようにする。

【0049】先ず、半導体利得領域2に約30[mA]の電流を流しておき、次いで、先球光ファイバ5からビーム・ウェストが半導体利得領域2と誘電体平板導波路4との界面7にくるように1.3[μm]帯の多波長の光を入射する。

【0050】入射光の約30[%]が反射光、約70[%]が透過光となり、最初に反射された光は、Si/SiO<sub>2</sub>多層膜からなる反射鏡3で反射されて再び界面7で反射光と透過光とに分けられる。反射光は、界面7に到達するまでに約4[dB]ほど増幅される。

【0051】Si/SiO<sub>2</sub>多層膜の反射鏡3で反射され、且つ、増幅された光は、干渉し合って平行光となってSiO<sub>2</sub>からなる平板導波路4を通過し、出射端の曲面で絞られて受光素子アレイ6に於ける一素子に入射する。

【0052】受光素子アレイ6に於いて、受光素子が例えば200[μm]間隔で配列されているとすると、光の波長が1[nm]異なる毎に、隣接した受光素子に光が入射することになる。

【0053】本発明は、前記説明した発明の実施の形態に限定されるものではなく、特許請求の範囲の記載を逸脱しない範囲に於いて、多くの改変を実現することがで

き、例えば活性層を単量子井戸或いは多重量子井戸で構成するなど任意である。

【0054】

【発明の効果】本発明に依る光増幅器集積光分波器及びその製造方法に於いては、一導電型半導体基板上に半導体利得領域及び半導体利得領域の一部とそれに接して一導電型半導体基板上を延在する誘電体平板導波路との間に生成された界面及び半導体利得領域に於ける界面の反対側に形成された反射鏡及び半導体利得領域の表面に形成された反対導電側電極及び半導体利得領域に対応する一導電型半導体基板の裏面に形成された一導電側電極を含むVIP Aを形成する。

【0055】前記構成を採ることに依り、半導体利得領域をもつVIP Aを誘電体平板導波路にモノリシックに集積化することができ、受光素子も同じ系にマウントすることが可能な構造になっているから、実際のシステムに実装するのに何らの問題もなく、また、VIP A中を多重反射する光は半導体利得領域で増幅されるので、充分な出力光が得られる仮想的フェーズド・アレイ光源が実現され、更にまた、光ファイバからの入力光との結合トレランスも大きくなり、簡単な構造で、高集積WDM用光分波器を実現することができる。

【図面の簡単な説明】

【図1】本発明の原理を説明する為の光増幅器集積光分波器を表す要部説明図である。

【図2】本発明の実施の形態を説明する為の工程要所に於ける光増幅器集積光分波器を表す要部説明図である。

【図3】本発明の実施の形態を説明する為の工程要所に於ける光増幅器集積光分波器を表す要部説明図である。

【図4】本発明の実施の形態を説明する為の工程要所に於ける光増幅器集積光分波器を表す要部説明図である。

【図5】本発明の実施の形態を説明する為の工程要所に於ける光増幅器集積光分波器を表す要部説明図である。

【図6】VIP Aの動作原理を説明する為の光分波器を表す要部説明図である。

【符号の説明】

- 1 一導電型半導体基板
- 2 半導体利得領域
- 3 反射鏡
- 4 誘電体平板導波路
- 5 先球光ファイバ
- 6 受光素子アレイ
- 7 半導体利得領域2と誘電体平板導波路4との界面
- 8 反対導電側電極
- 9 一導電側電極
- 2A 半導体活性層
- 2B 反対導電型半導体クラッド層
- 2C 反対導電型半導体コンタクト層

【図1】

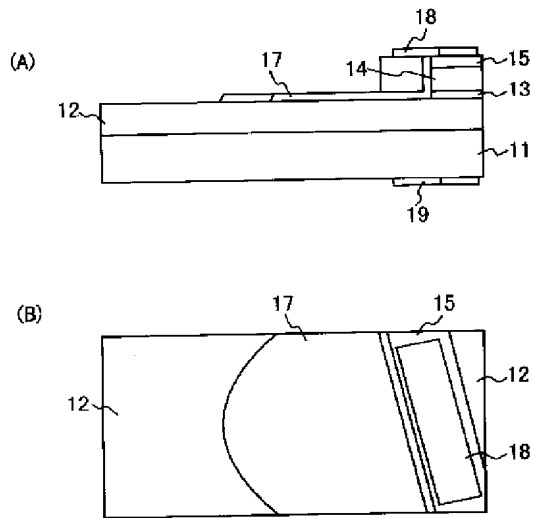
【図2】

【図3】



【図4】

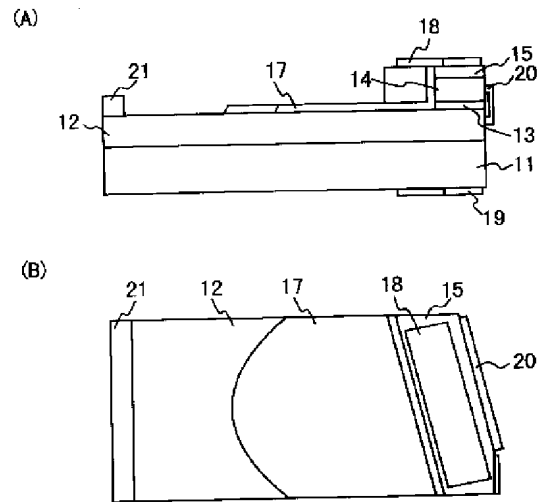
工程要所に於ける光増幅器集積光分波器の要部説明図



18 : p側電極  
19 : n側電極

【図5】

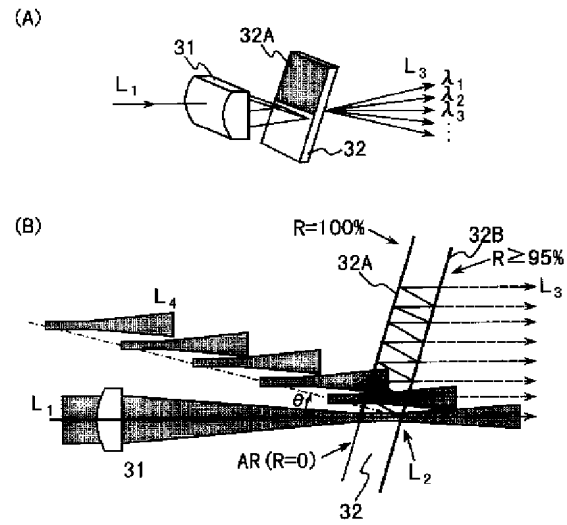
工程要所に於ける光増幅器集積光分波器の要部説明図



20 : 高反射膜  
21 : 受光素子アレイ

【図6】

VIPAを説明する為の光分波器の要部説明図



- 31 : シリンドリカル・レンズ  
 32 : 反射膜付きガラス板  
 32A : 100 [%] 光反射膜  
 32B : ~95 [%] 光反射膜  
 $L_1$  : 入射光  
 $L_2$  : ビーム・ウエスト  
 $L_3$  : 出射光  
 $L_4$  : 仮想光源  
 $\theta$  : 入射光の入射角